

3 / Priority
Doc
E. Willis
5-28-02

Jc997 U.S. PTO
10/075568
02/13/02

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

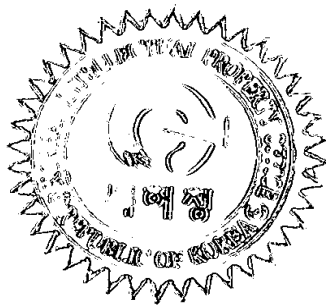
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 특허출원 2001년 제 46805 호
Application Number PATENT-2001-0046805

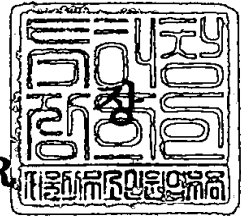
출원년월일 : 2001년 08월 02일
Date of Application AUG 02, 2001

출원인 : 삼성전자 주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2001 년 10 월 16 일

특 허 청
COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0007
【제출일자】	2001.08.02
【국제특허분류】	G11C
【발명의 명칭】	메이크 -링크를 구비하는 퓨즈 박스 및 이를 구비하는 리던던트 어드레스 디코더
【발명의 영문명칭】	Fuse box for comprising make-links and redundant address decoder thereof
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【발명자】	
【성명의 국문표기】	방광규
【성명의 영문표기】	BANG,Kwang Kyu
【주민등록번호】	740405-1052827
【우편번호】	449-900
【주소】	경기도 용인시 기흥읍 산7-1 마로니아 805호
【국적】	KR
【발명자】	
【성명의 국문표기】	신경선
【성명의 영문표기】	SHIN,Kyeong Seon
【주민등록번호】	591130-1341838

【우편번호】	449-900
【주소】	경기도 용인시 기흥읍 농서리 산24번지
【국적】	KR
【발명자】	
【성명의 국문표기】	강상석
【성명의 영문표기】	KANG,Sang Seok
【주민등록번호】	620806-1802711
【우편번호】	449-900
【주소】	경기도 용인시 기흥읍 농서리 산24번지
【국적】	KR
【발명자】	
【성명의 국문표기】	주현욱
【성명의 영문표기】	JU,Hyen Wook
【주민등록번호】	680328-1106224
【우편번호】	449-900
【주소】	경기도 용인시 기흥읍 농서리 산24번지
【국적】	KR
【발명자】	
【성명의 국문표기】	방정호
【성명의 영문표기】	BANG,Jeong Ho
【주민등록번호】	550124-1148824
【우편번호】	449-840
【주소】	경기도 용인시 수지읍 수지면 풍덕천리 703동 동보 아파트 104동 1602 호
【국적】	KR
【발명자】	
【성명의 국문표기】	최호정
【성명의 영문표기】	CHOI, Ho Jeong
【주민등록번호】	620823-1029712
【우편번호】	442-373
【주소】	경기도 수원시 팔달구 매탄3동 임광아파트 4동 1404호
【국적】	KR
【심사청구】	청구

【취지】

특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인

이영필 (인) 대리인

정상빈 (인)

【수수료】

【기본출원료】

20 면 29,000 원

【가산출원료】

1 면 1,000 원

【우선권주장료】

0 건 0 원

【심사청구료】

6 항 301,000 원

【합계】

331,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

메이크-링크들을 구비하는 퓨즈 박스 및 상기 퓨즈 박스를 구비하는 리턴던트 어드레스 디코더가 개시된다. 상기 퓨즈 박스는 결함이 발생된 노말 메모리 셀의 어드레스를 이에 대응되는 리턴던트 메모리 셀의 어드레스로 프로그래밍하기 위한 다수개의 메이크-링크들을 구비하며, 상기 어드레스는 로우 어드레스 또는 칼럼 어드레스인 것이 바람직하다. 상기 리턴던트 어드레스 디코더는 결함 셀의 어드레스를 디코딩하기 위한 다수개의 메이크-링크들을 구비하는 퓨즈 박스, 및 상기 퓨즈 박스의 출력신호들에 응답하여 상기 결함 셀의 어드레스에 상응하는 리턴던트 셀의 워드라인을 선택하는 리턴던트 워드라인 선택회로를 구비한다.

【대표도】

도 4

【명세서】

【발명의 명칭】

메이크-링크를 구비하는 퓨즈 박스 및 이를 구비하는 리던던트 어드레스 디코더{Fuse box for comprising make-links and redundant address decoder thereof}

【도면의 간단한 설명】

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 상세한 설명이 제공된다.

도 1은 종래의 폴리실리콘 퓨즈를 사용하는 리던던트 로우 어드레스 디코더를 나타낸다.

도 2는 도 1의 퓨즈 박스의 레이아웃을 나타내는 평면도이다.

도 3은 본 발명의 일 실시예에 따른 메이크-링크를 구비하는 리던던트 로우 어드레스 디코더를 나타낸다.

도 4는 도 3의 메이크-링크를 구비하는 퓨즈 박스의 레이아웃을 나타내는 평면도이다.

도 5은 본 발명의 다른 실시예에 따른 메이크-링크를 구비하는 리던던트 로우 어드레스 디코더를 나타낸다.

도 6은 도 5의 메이크-링크를 구비하는 퓨즈 박스의 레이아웃을 나타내는 평면도이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <8> 본 발명은 반도체 메모리 장치에 관한 것으로, 보다 상세하게는 결함 메모리 셀의 로우/컬럼 어드레스(row/column address)를 디코딩할 수 있는 퓨즈 박스 및 이를 구비하는 리던던트 어드레스 디코더에 관한 것이다.
- <9> 일반적으로 반도체 메모리 장치는 수율(yield)을 증가시키기 위하여, 노말 메모리 셀 어레이와 리던던시 셀 어레이를 구비하고 결함이 발생된 노말 메모리 셀 (이하 '결함 셀(defect cell)'이라 한다.)을 리던던시 메모리 셀(이하 '리던던트 셀(redundant cell)'이라 한다.)로 대체(repair)한다.
- <10> 당업계에서 잘 알려진 바와 같이, 반도체 메모리 장치는 결함 셀을 리던던트 셀로 대체하기 위한 리던던시 회로를 구비하고, 리던던시 회로는 결함 셀의 어드레스를 프로그램하기 위한 프로그램수단 및 리던던시 회로를 제어하기 위한 소정의 제어회로를 구비한다. 프로그램 수단은 결함 셀을 리던던트 셀로 대체하기 위하여 레이저나 전류에 의하여 결함 셀의 어드레스를 디코딩하기 위한 다수 개의 퓨즈들을 구비한다.
- <11> 하나의 결함 셀을 하나의 리던던트 셀로 대체하는 것이 이상적이나, 이러한 1 대 1 메모리 셀 대체방법은 프로그램수단 및 프로그램 수단을 구비하는 리던던시 회로의 레이아웃 면적을 크게 증가시키는 문제점이 있다.

<12> 따라서 리턴던시 회로의 레이아웃 면적을 감소시키기 위하여 하나의 노말 글로벌 워드라인을 하나의 리턴던시 글로벌 워드라인으로 대체하는 방법을 사용한다. 하나의 노말 글로벌 워드라인은 4개의 서브 워드 라인을 구동하고, 하나의 리턴던시 글로벌 워드라인은 4개의 서브 리턴던시 워드 라인을 구동한다.

<13> 도 1은 종래의 폴리실리콘 퓨즈를 사용하는 리턴던트 로우 어드레스 디코더의 회로도도를 나타낸다. 도 1의 리턴던트 로우 어드레스 디코더(10)는 하나의 노말 글로벌 워드라인을 하나의 리턴던시 글로벌 워드 라인으로 대체할 수 있는 구조이다.

<14> 도 1을 참조하면, 리턴던트 로우 어드레스 디코더(10)는 다수개의 트랜지스들(1 내지 57), 퓨즈 박스(30) 및 리턴던시 워드라인 선택회로(40)를 구비한다.

<15> 리턴던시 로우 어드레스 디코더(10)는 입력되는 로우 어드레스 신호(DRA234, DRA56, DRA78, DRA910 및 DRA1112)를 디코딩하여 이에 상응하는 리턴던시 글로벌 워드라인(SWEi)을 활성화시킨다. 리턴던시 글로벌 워드라인(SWEi)이 활성화되는 경우 결함 셀은 리턴던트 셀로 대체될 수 있다.

<16> 리턴던시 로우 어드레스 디코더(10)의 동작을 제어하는 한 쌍의 상보 신호(RES와 RESB)는 도시되지 않은 리턴던시 제어신호 발생회로로부터 발생된다. 리턴던시 동작이 수행되는 경우, 리턴던시 인에이블 신호(RES)는 활성화되므로 도 1에 도시된 바와 같이 결함 셀의 어드레스(DRA234, DRA56, DRA78, DRA910, DRA1112)를 전송하는 트랜지스터들(1 내지 47)은 턴-온된다. 그러나 노말 동작의 경우 트랜지스터들(49, 51, 53, 55 및 57)은 활성화된 상보 리턴던시 인에이블

신호(RESB)에 응답하여 턴-온되므로, 리턴던시 글로벌 워드라인(SWEi)은 비활성화된다.

<17> 퓨즈 박스(30)는 다수개의 퓨즈들(F1 내지 F24)을 구비하며, 다수개의 퓨즈들(F1 내지 F24)은 레이저나 전류에 의하여 절단가능한 폴리실리콘 퓨즈들을 사용한다. 다수개의 퓨즈들(F1 내지 F24)은 결합 셀의 어드레스를 나타낼 수 있도록 선택적으로 절단(cut)된다.

<18> 리턴던시 워드라인 선택회로(40)는 도 1에 도시된 바와 같이 다수개의 반전회로들(59, 61, 63)과 부정 논리합(65)을 구비한다.

<19> 도 1을 참조하여 하나의 리턴던시 글로벌 워드라인(SWEi)이 선택되는 경우를 설명하면 다음과 같다. 리턴던시 인에이블 신호(RES)가 활성화되고 결합 셀의 어드레스 DRA234가 <000>이고, 어드레스 DRA56이 <01>이고, 어드레스 DRA78이 <01>, 어드레스 DRA910이 <10> 그리고 어드레스 DRA1112가 <11>이면, 퓨즈들(F2 내지 F8, F9, F11, F12, F13, F15 내지 F18, F20 내지 F23)은 절단되므로 퓨즈 박스(30)는 결합 셀의 어드레스를 디코딩한다.

<20> 리턴던시 워드라인 선택회로(40)는 노드(N6 내지 N10)의 신호들(예컨대 논리 '하이')에 응답하여 활성화된 리턴던시 글로벌 워드라인 인에이블 신호(SWEi)를 리턴던시 워드 드라이버(미도시)로 출력한다. 리턴던시 워드 드라이버는 활성화된 리턴던시 글로벌 워드라인 인에이블신호(SWEi)에 응답하여 리턴던시 글로벌 워드라인에 연결된 4개의 서브 리턴던시 워드 라인을 활성화시킨다.

<21> 하나의 노말 글로벌 워드라인을 하나의 리턴던시 글로벌 워드 라인으로 대체하는 방법은 하나의 노말 글로벌 워드라인에 연결된 다수개의 메모리 셀 중에 정상적인 메모리 셀까지도 리턴던트 셀로 대체하므로 제품의 특성을 저하시키는 문제점이 있다.

<22> 도 2는 도 1의 퓨즈 박스의 레이아웃을 나타내는 평면도이다. 도 2를 참조하면, 종래의 퓨즈 박스(30)는 결합 셀의 로우 어드레스를 디코딩할 수 있는 퓨즈들의 거리(이를 '퓨즈 피치(fuse pitch)'라 한다.)를 고려하여, 24개의 퓨즈들(F1 내지 F24)은 가로 $83.7\mu\text{m}$, 세로 $12.79\mu\text{m}$ 의 면적에 레이아웃된다. 각각의 어드레스(DRA234, DRA56, DRA78, DRA910, DAR1112)는 트랜지스터들(1 내지 47)을 통하여 24개의 퓨즈들(F1 내지 F24)로 입력된다.

<23> 종래의 퓨즈 박스(30)는 퓨즈 피치의 한계 때문에, 퓨즈 박스(30)가 레이아웃되는 면적을 감소시키는데 한계가 있다. 또한 하나의 노말 글로벌 워드 라인에 접속된 정상 메모리 셀도 리턴던트 셀로 대체되므로 리턴던시 효율이 감소되는 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

<24> 따라서 본 발명이 이루고자 하는 기술적인 과제는 리턴던시 효율을 증가시키는 동시에 레이아웃 면적을 감소시킬 수 있는 구조를 갖는 퓨즈 박스 및 이를 구비하는 리턴던트 로우 어드레스 디코더를 제공하는 것이다.

【발명의 구성 및 작용】

- <25> 상기 기술적 과제를 달성하기 위한 본 발명의 실시예에 따른 퓨즈 박스는 결함이 발생된 노말 메모리 셀의 어드레스를 이에 대응되는 리턴던트 메모리 셀의 어드레스로 프로그래밍하기 위한 다수개의 메이크-링크들을 구비한다. 상기 어드레스는 로우 어드레스 또는 칼럼 어드레스인 것이 바람직하다.
- <26> 상기 기술적 과제를 달성하기 위한 본 발명의 실시예에 따른 리턴던트 로우 어드레스 디코더는 결함 셀의 어드레스를 디코딩하기 위한 다수개의 메이크-링크들을 구비하는 퓨즈 박스, 및 상기 퓨즈 박스의 출력신호들에 응답하여 상기 결함 셀의 어드레스에 상응하는 리턴던트 셀의 워드라인을 선택하는 리턴던트 워드라인 선택회로를 구비한다.
- <27> 상기 기술적 과제를 달성하기 위한 본 발명의 실시예에 따른 결함 셀을 리턴던트 셀로 대체하는 리턴던트 방법은 결함 셀의 어드레스를 수신하는 단계; 상기 결함 셀의 어드레스를 메이크-링크들을 이용하여 디코딩하는 단계; 상기 결함 셀의 어드레스에 상응하는 리턴던트 워드라인을 선택하여 상기 결함 셀을 리턴던트 셀로 대체하는 단계를 구비한다.
- <28> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시예에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.

<29> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

<30> 도 3은 본 발명의 일 실시예에 따른 메이크-링크를 구비하는 리턴던트 로우 어드레스 디코더의 회로도를 나타낸다. 도 3의 리턴던트 로우 어드레스 디코더(100)는 하나의 노말 글로벌 워드라인을 하나의 리턴던시 글로벌 워드 라인으로 대체할 수 있는 구조를 갖는다.

<31> 도 3을 참조하면, 리턴던트 로우 어드레스 디코더(100)는 다수개의 트랜지스터들(101 내지 147), 퓨즈 박스(200) 및 리턴던시 워드라인 선택회로(300)를 구비한다.

<32> 퓨즈 박스(200)는 다수개의 퓨즈들(ML1 내지 ML24)을 구비하고, 다수개의 퓨즈들(ML1 내지 ML24)각각은 메이크-링크(make-link) 또는 안티퓨즈(antifuse)로 구성되는 것이 바람직하다. 메이크-링크(ML1 내지 ML24)는 결함 셀의 어드레스를 디코딩 할 수 있도록 선택적으로 접촉된다. 메이크-링크(make-link)의 구조 및 기능은 당업계에서 잘 알려져 있으므로, 메이크-링크(make-link)의 구조 및 기능에 대한 설명은 생략한다.

<33> 노드(N16)와 트랜지스터들(101 내지 115) 각각의 소오스사이에 메이크-링크(ML1 내지 ML8)가 전기적으로 접속된다. 그리고 트랜지스터들(101 내지 115)각각의 드레인은 노드(N11)에 접속되고, 리턴던시 인에이블 신호(RES)는 트랜지스터들(101 내지 115) 각각의 게이트로 입력된다. 결함 셀의 어드레스를 나타내는 어드레스 DRA234는 노드(N11)로 입력된다.

<34> 노드(N17)와 트랜지스터들(117 내지 123) 각각의 소오스사이에 메이크-링크 (ML9 내지 ML12)가 전기적으로 접속된다. 그리고 트랜지스터들(117 내지 123)각각의 드레인은 노드(N12)에 접속되고, 리턴던시 인에이블 신호(RES)는 트랜지스터 (117 내지 123) 각각의 게이트로 입력된다. 결함 셀의 어드레스를 나타내는 어드레스 DRA56은 노드(N12)로 입력된다.

<35> 노드(N18)와 트랜지스터들(125 내지 131) 각각의 소오스사이에 메이크-링크 (ML13 내지 ML16)가 전기적으로 접속된다. 그리고 트랜지스터들(125 내지 131)각각의 드레인은 노드(N13)에 접속되고, 리턴던시 인에이블 신호(RES)는 트랜지스터 (125 내지 131) 각각의 게이트로 입력된다. 결함 셀의 어드레스를 나타내는 어드레스 DRA78은 노드(N13)로 입력된다.

<36> 노드(N19)와 트랜지스터들(133 내지 139) 각각의 소오스사이에 메이크-링크 (ML17 내지 ML20)가 전기적으로 접속된다. 그리고 트랜지스터들(133 내지 139)각각의 드레인은 노드(N14)에 접속되고, 리턴던시 인에이블 신호(RES)는 트랜지스터 (133 내지 139) 각각의 게이트로 입력된다. 결함 셀의 어드레스를 나타내는 어드레스 DRA910은 노드(N14)로 입력된다.

<37> 노드(N20)와 트랜지스터들(141 내지 147) 각각의 소오스사이에 메이크-링크 (ML21 내지 ML24)가 전기적으로 접속된다. 그리고 트랜지스터들(141 내지 147)각각의 드레인은 노드(N15)에 접속되고, 리턴던시 인에이블 신호(RES)는 트랜지스터 (141 내지 147) 각각의 게이트로 입력된다. 결함 셀의 어드레스를 나타내는 어드레스 DRA1112는 노드(N15)로 입력된다.

<38> 리턴던시 워드라인 선택회로(300)는 제 1논리 게이트(301), 제 2논리 게이트 (303), 제 3논리 게이트(305) 및 제 4논리 게이트(307)를 구비한다. 제 1논리 게이트(301)는 노드(N16)의 신호를 반전시키는 인버터이며, 제 2논리 게이트 (303)는 노드(N17) 및 노드(N18)의 출력신호를 논리 연산하는 NAND게이트이고, 제 3논리 게이트(305)는 노드(N19) 및 노드(N20)의 출력신호를 논리 연산하는 NAND게이트이고, 제 4논리 게이트(307)는 논리 게이트들(301, 303, 305)의 출력 신호들을 논리 연산하는 NOR게이트이다.

<39> 리턴던시 워드라인 선택회로(300)는 퓨즈 박스(200)의 출력신호들에 응답하여 리턴던시 글로벌 워드라인 인에이블 신호(SWEi)를 리턴던시 워드 드라이버(미도시)로 출력한다. 리턴던시 워드 드라이버는 리턴던시 글로벌 워드라인을 활성화시킨다. 따라서 리턴던시 글로벌 워드라인에 접속된 4개의 서브 리턴던시 워드라인은 활성화된다.

<40> 도 3을 참조하여 리턴던시 글로벌 워드라인 인에이블 신호(SWEi)가 활성화되는 경우를 설명하면 다음과 같다. 어드레스(DRA234)가 <000>이면 메이크-링크(ML1)만 전기적으로 접촉되고, 어드레스(DRA56)가 <00>이면 메이크-링크(ML9)만 전기적으로 접촉되고, 어드레스(DRA78)가 <01>이면 메이크-링크(ML14)만 전기적으로 접촉되고, 어드레스(DRA910)가 <10>이면 메이크-링크(ML19)만 전기적으로 접촉되고, 어드레스(DRA1112)가 <11>이면 메이크-링크(ML24)만 전기적으로 접촉된다고 가정한다.

- <41> 결합 셀이 리턴던트 셀로 대체되는 경우, 리턴던트 인에이블 신호(RES)는 성화된다, 따라서 트랜지스터들(101 내지 147)은 리턴던트 인에이블 신호(RES)에 응답하여 턴-온되고, 메이크-링크들(ML1 내지 ML24)은 상술한 바와 같이 결합 셀의 어드레스들 (DRA234, DRA56, DRA78, DRA910, DRA1112)에 상응하게 디코딩된다.
- <42> 따라서 결합 셀의 어드레스들(DRA234, DRA56, DRA78, DRA910, DRA1112)은 퓨즈 박스(200)를 통하여 각각의 노드(N6 내지 N10)로 전송되고, 리턴던트 워드라인 선택회로(300)는 각각의 노드(N6 내지 N10)의 신호(예컨대 논리 '하이')에 응답하여 활성화된 리턴던트 글로벌 워드라인 인에이블 신호(SWEi)를 리턴던트 워드 드라이버로 출력한다.
- <43> 도 4는 도 3의 메이크-링크를 구비하는 퓨즈 박스의 레이아웃을 나타내는 평면도이다. 도 4에 도시된 수치들은 본 발명의 효과를 설명하기 위한 것으로 이에 한정되는 것이 아니고 다양한 변형이 가능하다.
- <44> 도 4의 메이크-링크들(ML1 내지 ML24)을 구비하는 퓨즈 박스(200)의 레이아웃 면적은 도 2의 폴리실리콘 퓨즈들(F1 내지 F24)을 구비하는 퓨즈박스(30)의 레이아웃 면적에 비하여 확실히 감소, 예컨대 본 발명에 의한 퓨즈 박스 레이아웃 면적은 종래 퓨즈 박스 레이아웃 면적에 비하여 1/8, 되는 것을 볼 수 있다. 또한, 도 4의 퓨즈 피치(ML1과 ML2사이의 거리)는 도 2의 퓨즈 피치(F1과 F2사이의 거리)보다 상당히 작은 것을 볼 수 있다.
- <45> 예컨대, 도 2의 폴리실리콘 퓨즈들(F1 내지 F8)이 레이아웃되는 면적은 가로 21.6 μm 및 세로 12.79 μm 이다. 그러나 본 발명의 일 실시예에 따른 도 4의

메이크-링크들(ML1 내지 ML8)이 레이아웃되는 면적은 가로 $12.2\mu\text{m}$ 및 세로 $3.78\mu\text{m}$ 이다.

<46> 따라서 본 발명의 실시예에 따른 메이크-링크들(ML1 내지 ML24)을 구비하는 퓨즈 박스(200)가 레이아웃되는 면적은 종래의 폴리실리콘 퓨즈(F1 내지 F24)를 구비하는 퓨즈 박스(30)가 레이아웃되는 면적에 비하여 약 1/8정도로 감소된다.

<47> 도 5는 본 발명의 다른 실시예에 따른 메이크-링크를 구비하는 리턴턴트 로우 어드레스 디코더를 나타내는 회로도이다. 도 5의 리턴턴트 로우 어드레스 디코더(400)는 하나의 결합 셀을 하나의 리턴턴트 셀로 대체하기 위한 구조를 갖는다.

<48> 도 5를 참조하면, 리턴턴트 로우 어드레스 디코더(400)는 다수개의 트랜지스터들과 퓨즈 박스(500), 리턴턴트 워드 라인 선택회로들(510, 610, 710, 810)을 구비한다.

<49> 퓨즈 박스(500)는 제 1퓨즈 박스(501), 제 2퓨즈 박스(503), 제 3퓨즈 박스(505) 및 제 4퓨즈 박스(507)를 구비하며, 각각의 퓨즈 박스(501, 503, 505, 507)는 도 6에 도시된 바와 같이 다수개의 메이크-링크들을 구비한다.

<50> 각각의 퓨즈 박스(501, 503, 505, 507)의 디코딩 방법은 도 3의 퓨즈 박스(200)의 디코딩방법과 동일하다. 또한, 어드레스(DRA01)는 하나의 워드 라인을 선택하기 위한 어드레스이다. 예컨대 어드레스(DRA01)가 00인 경우 메이크-링크(F100)가 프로그램된다면 워드라인(WL1)은 활성화될 수 있고, 어드레스(DRA01)가

01인 경우 메이크-링크(F101)가 프로그램된다면 워드라인(WL2)은 활성화될 수 있다.

<51> 도 5를 참조하여 워드 라인(WL1)이 선택되는 경우를 설명하면 다음과 같다. 메이크-링크(F100)는 결합 셀의 어드레스(DRA01) 00을 나타내기 위하여 디코딩되고, 메이크 링크들(F104 내지 F127)은 결합 셀의 어드레스(DRA234, DRA56, DRA78, DRA910, DRA1112)를 나타낼 수 있도록 디코딩된다.

<52> 제 1퓨즈 박스(501)는 제 1NAND게이트(511), 제 2NAND게이트(513), 제 3NAND게이트(515) 및 NOR 게이트(517)를 구비하며, 제 1퓨즈 박스(501)는 노드(N27 내지 N32)의 신호들에 응답하여 리턴던시 워드라인 인에이블 신호(WL1)를 리턴던시 워드 드라이버로 출력한다. 그리고 리턴던시 워드 드라이버는 리턴던시 워드라인 인에이블신호(WL1)에 응답하여 리턴던트 셀의 워드라인을 인에이블시켜 리턴던트 셀을 구동시킴으로써 결합 셀을 리턴던트 셀로 대체한다.

<53> 도 6은 본 발명의 다른 실시예에 따른 메이크-링크를 구비하는 퓨즈 박스의 레이아웃을 나타내는 평면도이다. 도 6은 하나의 결합 셀을 하나의 리턴던트 셀로 대체하기 위한 퓨즈 박스(500)의 레이아웃 구조로, 4개의 퓨즈 박스들(501, 503, 505, 507)을 구비한다. 레이저빔을 Hole로 투과시켜 레이저에 의한 메탈1과 메탈2의 반응을 활용하여 스위칭역할을 가지게 된다.

<54> 도 6에 도시된 바와 같이 4개의 퓨즈 박스들(501, 503, 505, 507)을 구비하는 퓨즈 박스(500)의 레이아웃 면적은 도 2의 퓨즈 박스(30)의 레이아웃 면적에 비하여 약 1/2정도로 감소된다는 것을 볼 수 있다.

<55> 또한, 본 발명의 실시예에 다른 메이크-링크들을 구비하는 퓨즈 박스가 레이아웃되는 면적은 종래의 폴리실리콘 퓨즈를 구비하는 퓨즈 박스가 레이아웃되는 면적에 비하여 1/8정도로 감소된다. 따라서 상기 퓨즈 박스를 구비하는 리턴던트 로우 어드레스 디코더가 레이아웃되는 면적도 상당히 감소시킬 수 있다.

<56> 또한, 본 발명의 실시예에 따른 퓨즈 박스는 리턴던트 컬럼 디코더에도 적용될 수 있음은 당연하다.

<57> 본 발명은 도면에 도시된 일 실시 예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

【발명의 효과】

<58> 상술한 바와 같이 본 발명에 따른 메이크-링크들을 구비하는 퓨즈 박스의 레이아웃 면적은 종래의 퓨즈를 구비하는 퓨즈 박스가 레이아웃되는 면적에 비하여 1/8정도로 감소되므로, 본 발명의 실시예에 따른 퓨즈 박스를 구비하는 리턴던트 로우 어드레스 디코더가 레이아웃되는 면적도 상당히 감소시킬 수 있는 장점이 있다.

<59> 또한, 메이크 링크를 사용하는 본 발명은 작은 레이아웃 면적을 가지는 동시에 결함이 발생된 워드라인 또는 비트라인을 선택적으로 대체(repair)할 수 있으므로 리턴던트 효율 및 제품의 질을 향상시킬 수 있다.

【특허청구범위】**【청구항 1】**

결함이 발생된 노말 메모리 셀의 어드레스를 이에 대응되는 리턴던트 메모리 셀의 어드레스로 프로그래밍하기 위한 다수개의 메이크-링크들을 구비하는 퓨즈 박스.

【청구항 2】

결함이 발생된 노말 비트라인을 이에 대응되는 리턴던트 비트라인으로 대체하기 위한 다수개의 메이크-링크들을 구비하는 퓨즈 박스.

【청구항 3】

결함이 발생된 노말 워드라인을 이에 대응되는 리턴던트 워드라인으로 대체하기 위한 다수개의 메이크-링크들을 구비하는 퓨즈 박스.

【청구항 4】

결함 셀의 어드레스를 디코딩하기 위한 다수개의 메이크-링크들을 구비하는 퓨즈 박스; 및

상기 퓨즈 박스의 출력신호들에 응답하여 상기 결함 셀의 어드레스에 상응하는 리턴던트 셀의 워드라인을 선택하는 리턴던트 워드라인 선택회로를 구비하는 리턴던트 어드레스 디코더.

【청구항 5】

결함 셀의 어드레스를 디코딩하기 위한 다수개의 메이크-링크들을 구비하는 퓨즈 박스; 및

상기 퓨즈 박스의 출력신호들에 응답하여 상기 결합 셀의 어드레스에 상응하는 리턴던트 셀의 비트라인을 선택하는 리턴던트 비트라인 선택회로를 구비하는 리턴던트 어드레스 디코더.

【청구항 6】

결합 셀의 어드레스를 수신하는 단계;

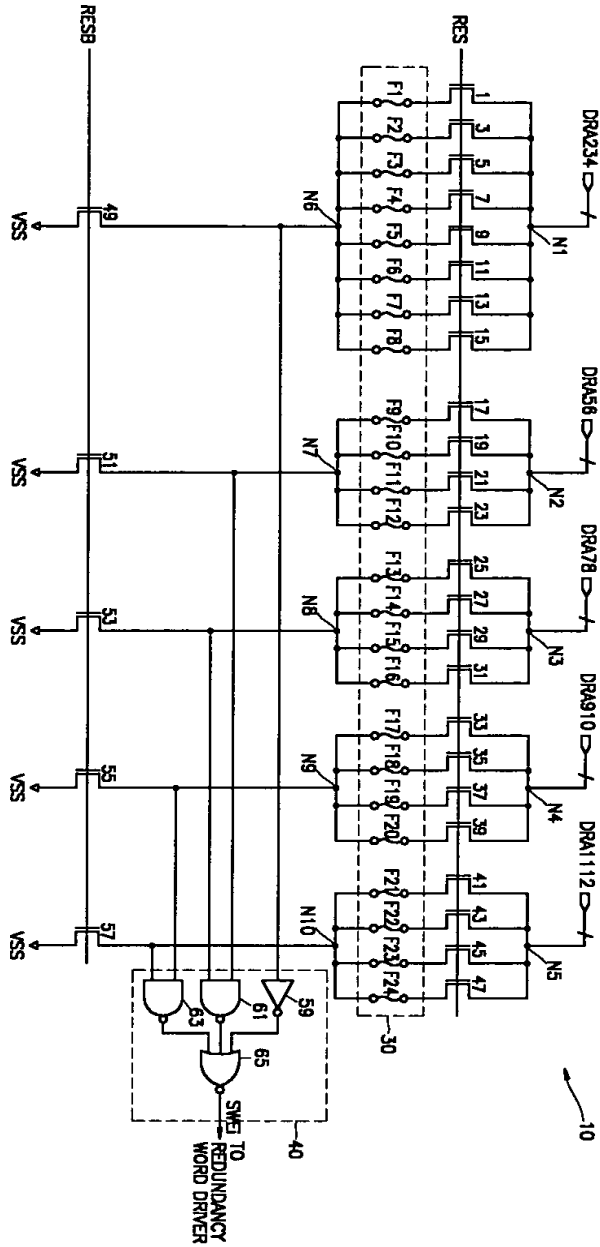
상기 결합 셀의 어드레스를 메이크-링크들을 이용하여 디코딩하는 단계;

및

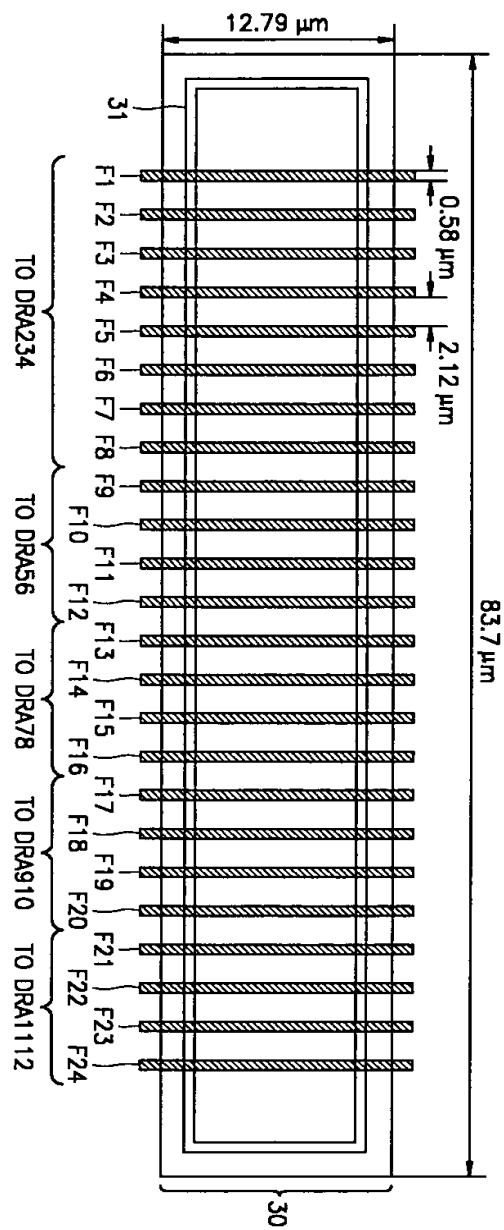
상기 결합셀의 어드레스에 상응하는 리턴던트 워드라인을 선택하여 상기 결합 셀을 리턴던트 셀로 대체하는 단계를 구비하는 메모리 셀 대체방법.

【도면】

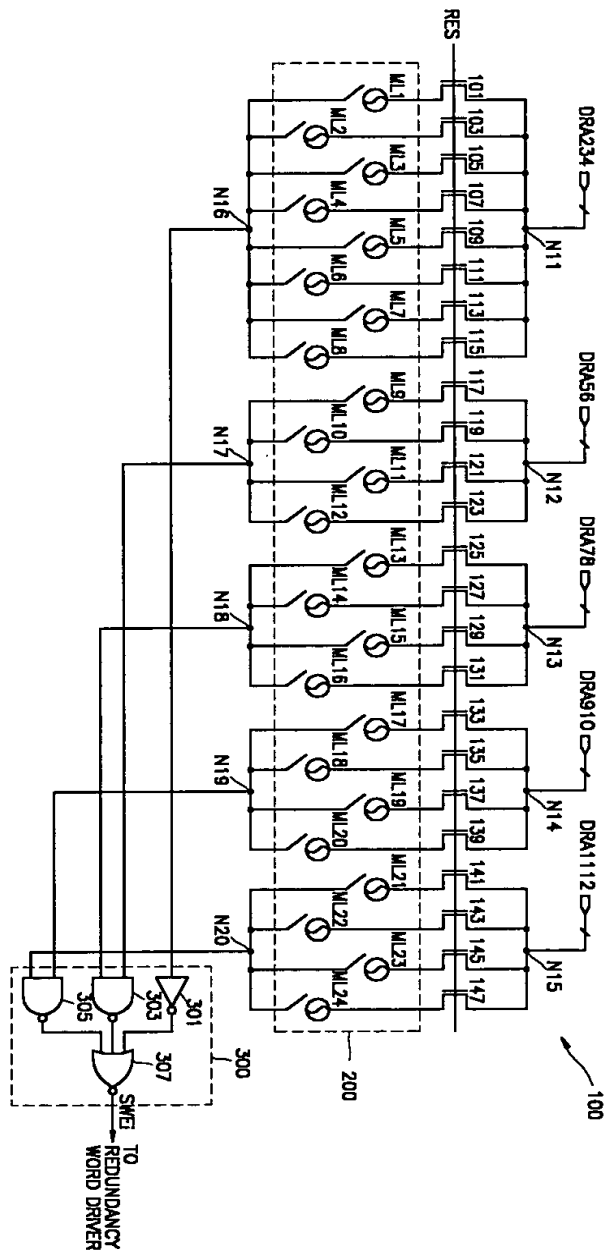
【도 1】



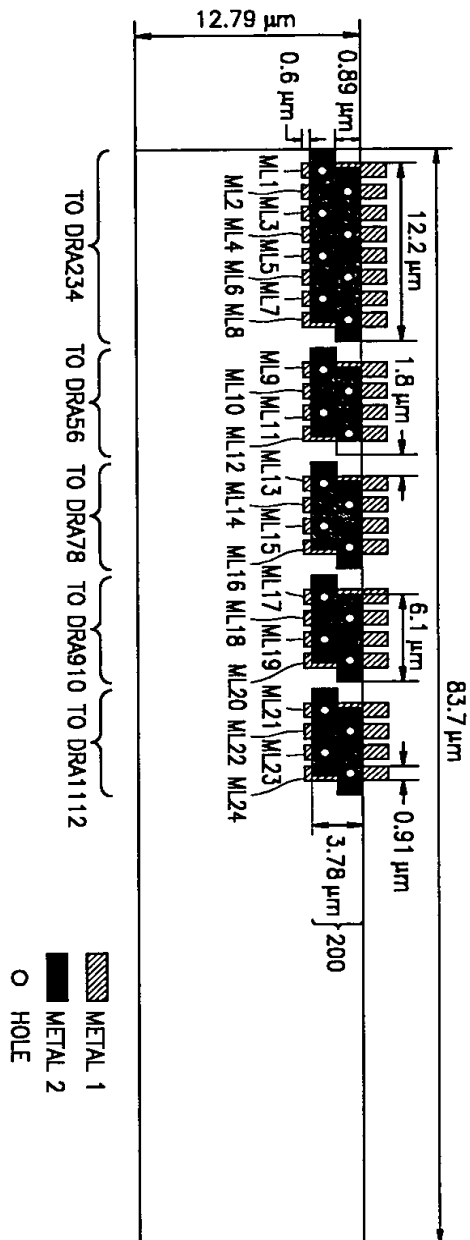
【도 2】



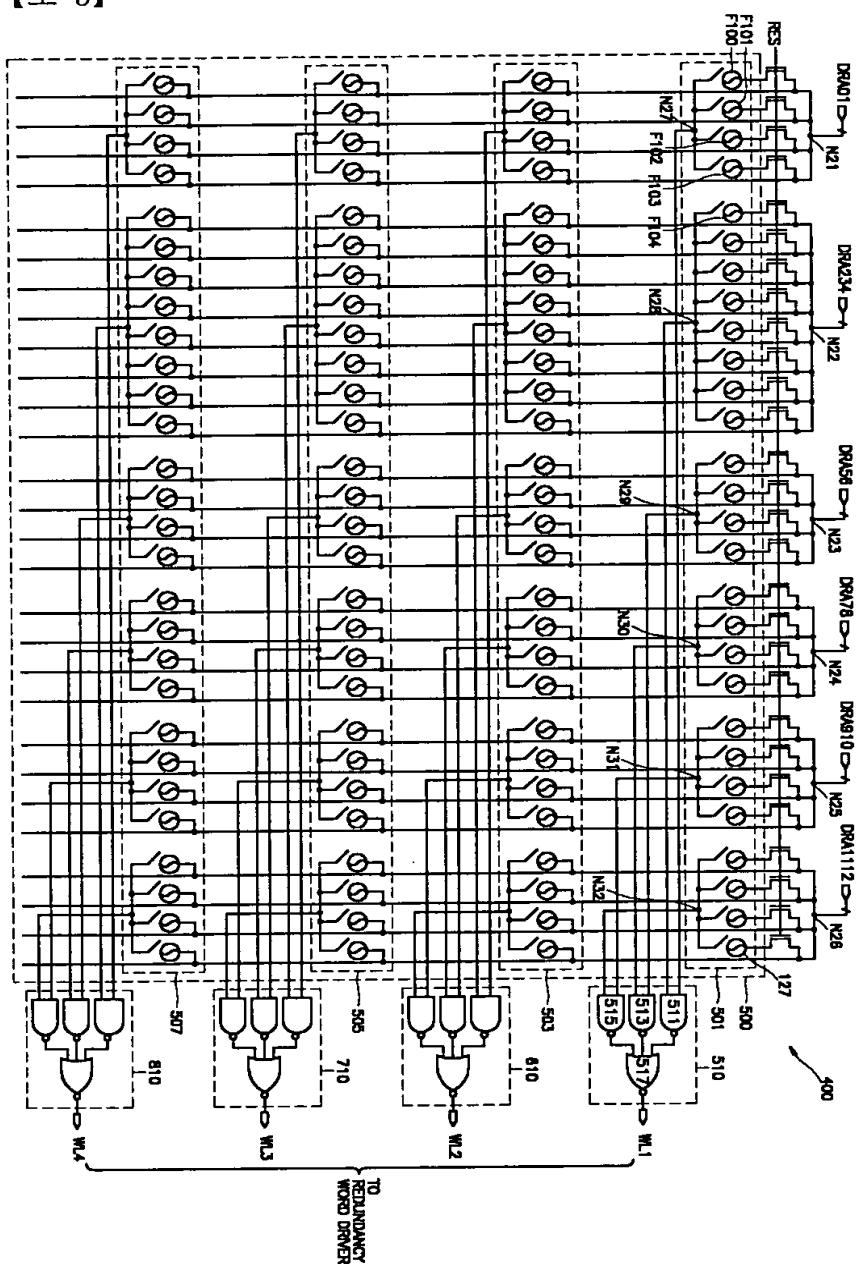
【도 3】



【도 4】



【도 5】



【도 6】

